

豊橋プローブおよびICウェーハプロセス上での 基板貫通配線の形成

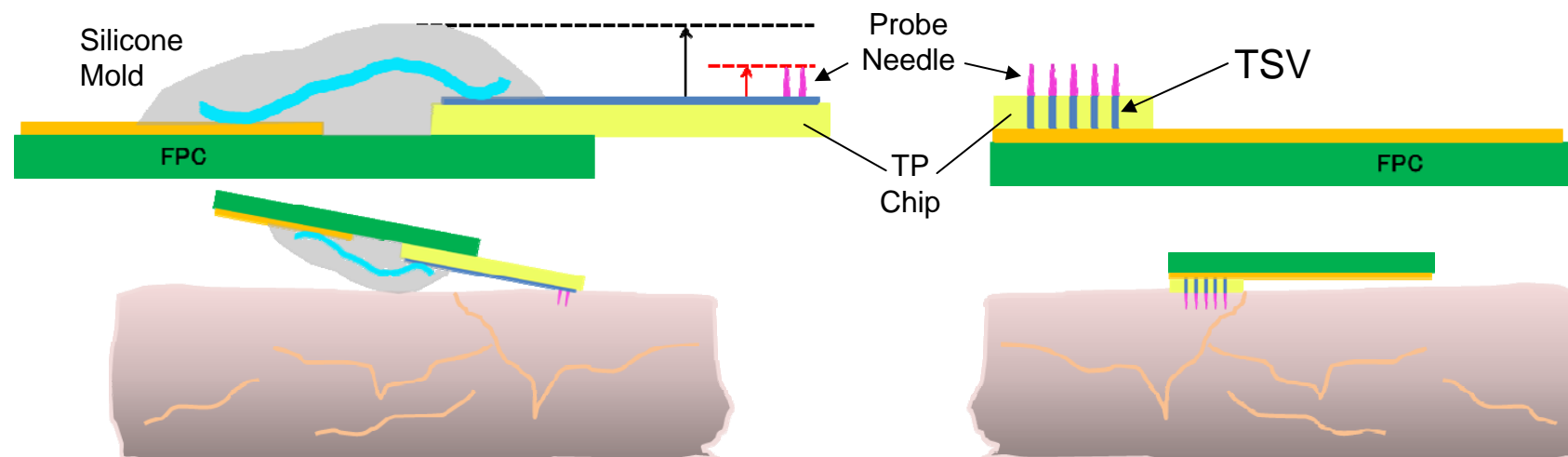
目的

エレクトロニクス先端融合研究所 (EIIIRIS) 特任講師 大井英生

豊橋プローブおよび一般のICウェーハプロセスに組み込めるような基板貫通配線(TSV)の形成技術を確立する。そして、その技術による、IC製品の高集積化かつ多機能化の可能性を広げていく。

現状の問題点とその改善イメージ

現状の豊橋プローブは、チップ脇のワイヤボンディングとその保護をするシリコンモールドの高さが、プローブ針より高いため、生体サンプルへの刺入に工夫が要る。TSVを使えば、表面はプローブ針だけとなり、刺入が容易になる。また、針の配置や本数の制約も緩和される。



一般のICにおけるTSVの現状

80年代に提案された三次元ICは、現在ではTSVを用いたチップの積層という形で、一般の製品として登場しつつある。昨年IBMとMicronが発表したHMC (Hybrid Memory Cube)に使われる技術が、業界標準になっていくと思われる。(Via Last/Deep RIE/CVD/Cu plating)

<http://www-03.ibm.com/press/us/en/pressrelease/36125.wss>

TUTのVBLが目指すTSV

我々が目指すTSVは、豊橋プローブをはじめTUTが開発してきた様々なセンサ、MEMS、回路などを一体化するためのものである。IBMらの手法では、それらのデバイスを作りこめないものがある。下記の特許は、TSVとなる領域をはじめに基板に作っておくため、それ以降のデバイス作成に影響が少ない。これが実現できれば、我々の実験品だけでなく一般のICにも3次元積層への道が開けるだろう。

参考とする特許

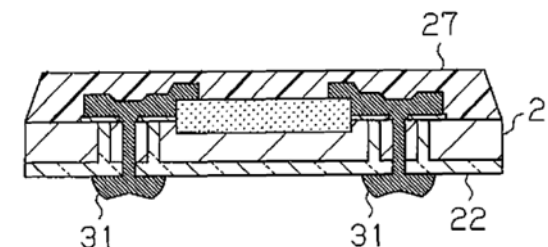
METHOD FOR MANUFACTURING SEMICONDUCTOR

Inventor: Hideo Oi

Assignee: Freescale Semiconductor, Inc.

Filing date: Jan 14, 2010

patent: [US8017497](http://www.uspto.gov/patent/publications/details/us8017497.pdf) (Issue date Sep 13, 2011)



(Via First/SOI/Deep RIE/CVD)

研究計画 H24年度～26年度

H24年度:

1. パターン付BOXでSOIウェーハを作成してくれるパートナー(企業)を探す
2. 深いトレンチ穴の作成と酸化膜の埋め込み、CMPによる平坦化の確立
3. また、これらのプロセスを経た基板でVLS成長を行う
4. 表面を支える仮基板とその貼り付け、剥離方法を調査する

H25年度:

1. パターン付BOXでSOIウェーハ上でのTSV領域の機能検証
2. TSVの検証ができたなら、その基板で豊橋プローブを作成する
3. また、CMOSプロセスにも適用し、通常の基板と変わらないことを確認する

H26年度:

1. TSVおよびデバイスを作成した基板で、表面を支えつつ、下層Siを除去する
2. その裏側にPadまたはバンプを形成する
3. それらを受け側のPadを設けたチップに接続できることを確認する